



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 07 月 25 日
Application Date

申 請 案 號：091116628
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

陳 明 邦

發文日期：西元 2002 年 8 月 5 日
Issue Date

發文字號：09111014703
Serial No.

申請日期：

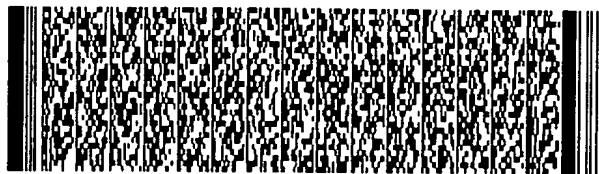
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	時脈信號頻率驗證裝置與方法
	英 文	Device and Method for Verifying Clock Signal Frequency
二、 發明人	姓 名 (中文)	1. 席振華 2. 吳政原
	姓 名 (英文)	1. Chen-Hua His 2. Cheng-Yuan Wu
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. 2. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Cher Wang

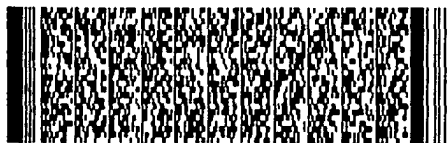


申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	3. 翁志賢
	姓 名 (英文)	3. Chih-Hsien Weng
	國 籍	3. 中華民國
	住、居所	3. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	

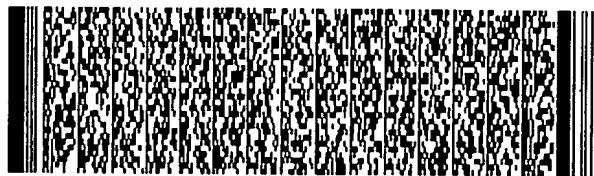


四、中文發明摘要 (發明之名稱：時脈信號頻率驗證裝置與方法)

本案係為一種時脈信號頻率驗證裝置與方法，應用於一時脈信號源之驗證過程中，該裝置包含一參考時脈信號與重置信號產生源、一除頻器以及一比較偵測器，而其方法包含下列步驟：將該時脈信號源所輸出之一待測時脈信號輸入至該除頻器，該待測時脈信號具有一第一週期 T_1 ；因應一重置信號之啟動，該除頻器開始因應該待測時脈信號之觸發而作動，進而輸出一雙準位之除頻後待測信號，該除頻後待測信號具有一第二週期 T_2 ，而 $T_2/n=T_1$ ；因應該參考時脈信號與重置信號產生源所發出之重置信號之啟動，每隔一預定時間 T_s 該比較偵測器偵測該除頻後待測信號之信號準位；以及當從第 l 個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後待測信號處於一第一準位，且於第 $p+$

英文發明摘要 (發明之名稱：Device and Method for Verifying Clock Signal Frequency)

A device and a method for verifying a clock signal frequency for use in a verifying procedure of a clock signal source are disclosed. The device includes a reference clock signal and reset signal generator, a frequency divider and a comparative detector. The method includes the steps of outputting a clock signal to be tested from the clock signal source to the frequency divider, wherein the clock signal has a first cyclic period T_1 ; actuating the frequency divider in response to

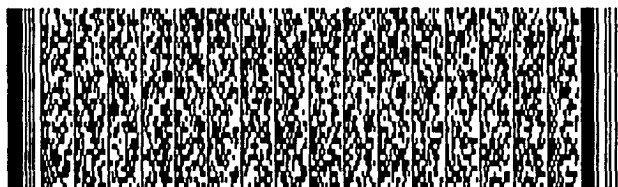


四、中文發明摘要 (發明之名稱：時脈信號頻率驗證裝置與方法)

1 個時間點上所偵測到之該除頻後待測信號之信號準位處於一第二準位時，判斷該時脈信號源為正常工作且得出該待測時脈信號之週期誤差範圍 T_e 。

英文發明摘要 (發明之名稱：Device and Method for Verifying Clock Signal Frequency)

a reset signal and triggering the frequency divider by the clock signal to be tested to output a double-level divided clock signal of a cyclic period T_2 , wherein $T_2/n=T_1$; actuating the comparative detector to detect the signal level of the divided signal at an interval of T_s in response to the reset signal generated by the reference clock signal and reset signal generator; and determining the clock signal source to be in a normal operation state and realizing the deviation



四、中文發明摘要 (發明之名稱：時脈信號頻率驗證裝置與方法)

英文發明摘要 (發明之名稱：Device and Method for Verifying Clock Signal Frequency)

range T_e of the cyclic period of the tested clock signal when the divider signal is detected to be a first level from the first to the $p-q$ time spots, and a second level at the $p+1$ time spot.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

發明領域

本案係為一種時脈信號頻率驗證裝置與方法，尤指應用於積體電路測試過程中之時脈信號頻率驗證裝置與方法。

發明背景

在現今之各式電路裝置中，時脈信號是協調各元件操作時所不可或缺之重要信號，因此，在一電路裝置製造完成後所進行之測試驗證程序中，必然包含有對產生時脈信號之一時脈信號源所進行之測試驗證動作。請參見第一圖，其係對時脈信號源執行測試驗證動作之習用測試裝置之方塊示意圖，其主要係由一除頻器11與一偵測電路12所完成，由於時脈信號源10（通常為一振盪器或是一鎖相迴路）所產生時脈信號之頻率相當高，因此必需經過除頻器11之降頻處理而形成一低切換頻率之測試信號後，方才饋入該偵測電路12進行偵測。但習用之偵測電路12僅具有偵測該測試信號是否具有由低電位切換至高電位以及由高電位切換至低電位之準位變化，進而判斷出時脈信號源10是否正常動作之功能。

然而，當電路之操作速度日益增加時，對於時脈信號源10之要求就不再只是正常動作與否，而是必須驗證其頻率之準確度。但顯然上述之習用手段並無法有效驗證時脈



五、發明說明 (2)

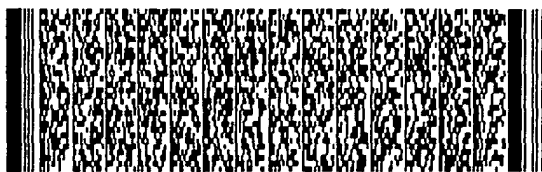
信號源10之頻率準確度是否合乎需求，而如何改善習用段之缺失，進而可同時對時脈信號源10是否正常動作以及其頻率準確度進行驗證，係為發展本案之主要目的。

發明概述

本案係為一種時脈信號頻率驗證方法，應用於一時脈信號源之驗證過程中，其方法包含下列步驟：將該時脈信號源所輸出之一待測時脈信號輸入至一除頻器，該待測時脈信號具有一第一週期 $T1$ ；因應一重置信號之啟動，該除頻器開始因應該待測時脈信號之觸發而作動，進而輸出一雙準位之除頻後待測信號，該除頻後待測信號具有一第二週期 $T2$ ，而 $T2/n=T1$ ；因應該重置信號之啟動，每隔一預定時間 Ts 便偵測該除頻後待測信號之信號準位；以及當從第1個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後待測信號處於一第一準位，且於第 $p+1$ 個時間點上所偵測到之該除頻後待測信號之信號準位處於一第二準位時，判斷該時脈信號源為正常工作且得出該待測時脈信號之週期誤差範圍 Te 。

根據上述構想，本案之時脈信號頻率驗證方法，其中 $p=(T2/(2Ts))$ ， $q=(T1/Ts)$ ， $Te=(q+(1/2))*Ts/(n/2)$ 。

根據上述構想，本案之時脈信號頻率驗證方法，其中更包含下列步驟：當持續偵測第 $2p-q$ 個時間點與第 $2p+1$ 個時間點、第 $3p-q$ 個時間點與第 $3p+1$ 個時間點、…以及第



五、發明說明 (3)

$m p - q$ 個時間點與第 $m p + 1$ 個時間點上之該除頻後待測信號信號準位，而該時脈信號源皆被判斷為正常工作時，該待測時脈信號之週期誤差範圍 $T_e = (q + (1/2)) * T_s / (m * n/2)$ 。

根據上述構想，本案之時脈信號頻率驗證方法，其中該預定時間 T_s 係由一參考時脈信號之上升緣所決定，而該重置信號之變化緣係與該參考時脈信號之下降緣對齊，至於該週期誤差範圍 $T_e = (q + (1/2)) * T_s / (m * n/2)$ 。

根據上述構想，本案之時脈信號頻率驗證方法，其中當從第 1 個時間點至第 $p - q$ 個時間點上所偵測到之該除頻後待測信號非皆處於一第一準位，或於第 $p + 1$ 個時間點上所偵測到之該除頻後待測信號之信號準位非處於一第二準位時，則判斷該時脈信號源為非正常工作。

本案之另一方面係為一種時脈信號頻率驗證裝置，應用於驗證一時脈信號源之準確度，其係配合一參考時脈信號與重置信號產生源進行動作，參考時脈信號與重置信號產生源係產生一參考時脈信號以及一重置信號，且該參考時脈信號具有一預定週期 T_s ；而該驗證裝置包含：一除頻器，電連接於該時脈信號源與該參考時脈信號與重置信號產生源，其係接收該時脈信號源所輸出之一待測時脈信號，並因應該重置信號之啟動，而開始因應該待測時脈信號之觸發而作動，進而輸出一雙準位之除頻後待測信號，其中該待測時脈信號具有一第一週期 T_1 ，該除頻後待測信號具有一第二週期 T_2 ，而 $T_2 / n = T_1$ ；以及一比較偵測器，電連接於該除頻器與該參考時脈信號與重置信號產生源，



五、發明說明 (4)

其係因應該重置信號之啟動與該參考時脈信號之觸發，每隔該預定週期 T_s 便偵測該除頻後待測信號之信號準位，而當從第1個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後待測信號處於一第一準位，且於第 $p+1$ 個時間點上所偵測到之該除頻後待測信號之信號準位處於一第二準位時，輸出一工作正常信號並可得出該待測時脈信號之週期誤差範圍 T_e 。

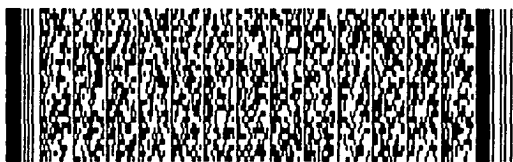
根據上述構想，本案之時脈信號頻率驗證裝置，其中 $p=(T_2/(2T_s))$ ， $q=(T_1/T_s)$ ， $T_e=(q+(1/2))*T_s/(n/2)$ 。

根據上述構想，本案之時脈信號頻率驗證裝置，其中當偵測第 $2p-q$ 個時間點與第 $2p+1$ 個時間點、第 $3p-q$ 個時間點與第 $3p+1$ 個時間點、...以及第 $mp-q$ 個時間點與第 $mp+1$ 個時間點上之該除頻後待測信號之信號準位時，該比較偵測器持續輸出一工作正常信號時，代表該待測時脈信號之週期誤差範圍 $T_e=(q+(1/2))*T_s/(m*n/2)$ 。

根據上述構想，本案之時脈信號頻率驗證裝置，其中該偵測時間點係為該參考時脈信號之上升緣，而該重置信號之變化緣係與該參考時脈信號之下降緣對齊，至於該週期誤差範圍 $T_e=(q+(1/2))*T_s/(m*n/2)$ 。

根據上述構想，本案之時脈信號頻率驗證裝置，其中該除頻器、該比較偵測器以及該時脈信號源係整合於同一晶片上。

根據上述構想，本案之時脈信號頻率驗證裝置，其中當從第1個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後



五、發明說明 (5)

待測信號非皆處於一第一準位，或於第 $p+1$ 個時間點上所偵測到之該除頻後待測信號之信號準位非處於一第二準位時，輸出一錯誤信號。

根據上述構想，本案之時脈信號頻率驗證裝置，其中當輸出該錯誤信號，係代表該待測時脈信號之週期誤差範圍 T_e 必大於 $(1/2)*T_s/(n/2)$ 。簡單圖式說明

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

第一圖：其係對時脈信號源執行測試驗證動作之習用測試裝置之方塊示意圖。

第二圖：其係本案對於時脈信號頻率驗證裝置所發展出之一較佳實施例方塊示意圖。

第三圖：其係對上述技術手段舉出一實例進行說明之相關信號波形示意圖。

本案圖式中所包含之各元件列示如下：

時脈信號源10

除頻器11

偵測電路12

時脈信號源20

除頻器21

比較偵測器22

參考時脈信號與重置信號產生源23

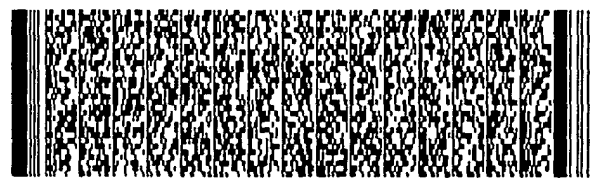
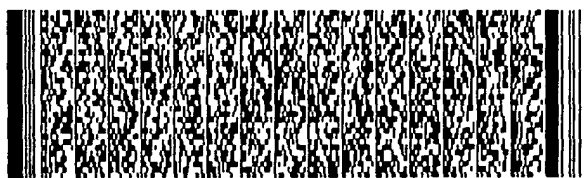
較佳實施例說明



五、發明說明 (6)

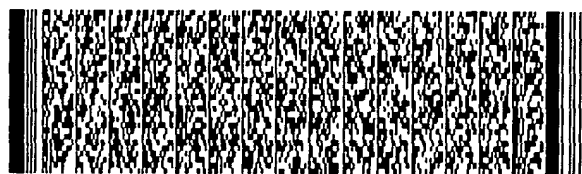
請參見第二圖，其係本案對於時脈信號頻率驗證裝置所發展出之一較佳實施例方塊示意圖，其主要係應用於驗證時脈信號源20之準確度，該裝置主要包含有一除頻器21以及一比較偵測器22，該除頻器21係接收該時脈信號源20所輸出之一待測時脈信號，並因應一重置信號之啟動，而開始因應該待測時脈信號之觸發而作動，進而輸出一雙準位之除頻後待測信號，其中該待測時脈信號具有一第一週期 $T1$ ，該除頻後待測信號具有一第二週期 $T2$ ，而 $T2/n=T1$ (n 係為除頻之倍數)。至於該比較偵測器22則因應該重置信號之啟動與該參考時脈信號之觸發，每隔一預定週期 Ts 便偵測該除頻後待測信號之信號準位，而當從第1個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後待測信號處於一第一準位，且於第 $p+1$ 個時間點上所偵測到之該除頻後待測信號之信號準位處於一第二準位時輸出一工作正常信號，若偵測到之準位不符上述條件，則輸出一錯誤信號，因為該除頻後待測信號在一週期中具有一次上升緣與一次下降緣可供判斷，因此 p 可被定義為 $(T2/(2Ts))$ ，至於 q 則定義為 $T1/Ts$ 。至於上述參考時脈信號以及重置信號係可由一參考時脈信號與重置信號產生源23所發出。

再請參見第三圖，其係對上述技術手段舉出一實例進行說明之相關信號波形示意圖，其中參考時脈信號(REFCLK)之預定週期 Ts 為20奈秒(ns)，而重置信號(RESET#)之變化緣係與該參考時脈信號之一下降緣對齊。



五、發明說明 (7)

而由於該時脈信號源20所輸出之待測時脈信號(CLK)與參考時脈信號並不同步，因此在重置信號(RESET#)變化至高準位後之A時間範圍內，待測時脈信號(CLK)皆有可能由低準位轉變為高準位，而該A時間範圍之長度便為該待測時脈信號(CLK)之第一週期T1(本例為40奈秒，恰與預定週期20奈秒成2倍頻關係，但實際上並不一定必須為2倍頻關係，1倍頻關係也可以，其與所能容忍之頻率誤差有關)。此外，該比較偵測器22因應該重置信號之啟動與該參考時脈信號上升緣之觸發，每隔該預定週期Ts(20奈秒)便偵測該除頻後待測信號之信號準位，而其偵測時間點計數值(STROBE_NO)係如圖所示。然本例之除頻器21為一9位元之除頻器(即除以512)，使得所輸出之除頻後待測信號(TESTCLK)之第二週期T2便等於 40×512 奈秒。因此，在理想狀態下，除頻後待測信號(TESTCLK)應在B時間範圍內發生其於重置信號啟動後之第一次上升緣，也就是說，在小於等於第510次之偵測時間點所偵測到之信號準位都應該是低準位，而大於等於第513次之偵測時間點所偵測到之信號準位都應該是高準位。至於在B時間範圍(40奈秒)內，因為兩個準位皆有可能故不列入考慮。另外，在理想狀態下，除頻後待測信號(TESTCLK)應在C時間範圍(40奈秒)內發生其於重置信號啟動後之第一次下降緣，也就是說，在小於等於第1022次之偵測時間點所偵測到之信號準位都應該是高準位，而大於等於第1025次之偵測時間點所偵測到之信號準位都應該是低準位。至於在C時間範圍(40

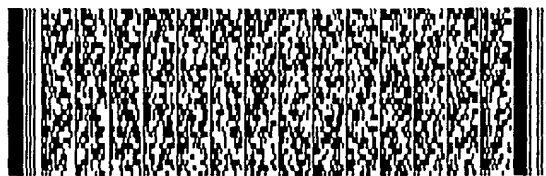


五、發明說明 (8)

奈秒)內，因為兩個準位皆有可能故亦不列入考慮。

綜上所述，當本例中之該時脈信號源20所輸出之待測時脈信號(CLK)之頻率為理想中25Mhz且維持一定，上述測試結果必然成立而使比較偵測器22持續輸出一工作正常信號。但是當該時脈信號源20所輸出之待測時脈信號(CLK)之頻率F略大於25Mhz但仍維持一定時，除頻後待測信號(TESTCLK)之變化緣將向波形圖之左方移動。考慮一極端狀態，當除頻後待測信號(TESTCLK)於產生m個變化緣且其變化緣位置由最右邊移動至最左邊(如圖中之D箭頭所示，共50奈秒)，如此便可推算出其週期應為 $40-50/(m*512/2)$ 奈秒，而頻率F則為其之倒數。如此一來，只要待測時脈信號(CLK)之實際頻率略大於上述之頻率F，比較偵測器22於其第m個變化緣時必然會輸出一錯誤信號。再考慮另一極端狀態，當除頻後待測信號(TESTCLK)於產生m個變化緣且其變化緣位置由左邊移動至最左邊(如圖中之E箭頭所示，共10奈秒)時，如此便可推算出其週期應為 $40-10/(m*512/2)$ 奈秒，而頻率F則為其之倒數。如此一來，只要待測時脈信號(CLK)之實際頻率略小於上述之頻率F，比較偵測器22於其第m個變化緣時必然仍輸出一工作正常信號。相同地，對一個頻率略小於25Mhz但仍維持一定之待測時脈信號(CLK)，其分析過程與上述並無太大不同，僅為變化緣位置移動方向相反而已(如圖中之F箭頭與G箭頭所示)。

根據上述分析進行歸納而得出如下公式：



五、發明說明 (9)

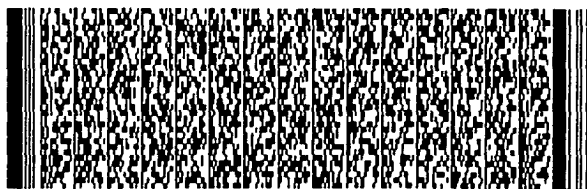
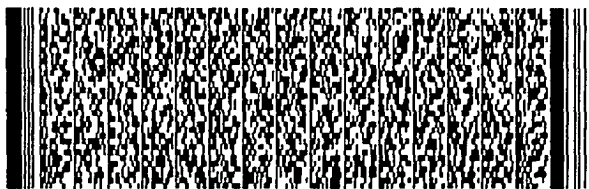
絕對錯誤頻率： $1/(T1 \pm (q + (1/2)) * Ts / (m * n / 2))$

絕對正確頻率範圍： $1/(T1 \pm (1/2) * Ts / (m * n / 2))$

而以上述數據($T1=40$ 奈秒、 $Ts=20$ 奈秒、而 $q=T1/Ts=2$ 至於 $n=512$)為例且 $m=4$ 時，其絕對錯誤頻率為 $25\text{MHz} \pm 1222\text{ppm}$ ，而其絕對正確頻率為 $25\text{MHz} \pm 244\text{ppm}$ ，其中ppm為百萬分之一。意即，當比較偵測器22在經過除頻後待測信號(TESTCLK)之4個變化緣後仍然輸出工作正常信號時，便可推論出該待測時脈信號(CLK)之頻率F至少在 $25\text{MHz} \pm 1222\text{ppm}$ 之範圍中。

而在某些情況下，設計者對於時脈信號頻率之精確度不需要那麼高，因此可忽略更多之偵測時間點，意即容許除頻後待測信號(TESTCLK)變化緣之位置更寬。以上述為例，若前後各放寬一個偵測時間點，則其錯誤頻率可由 $25\text{MHz} \pm 1222\text{ppm}$ 放大至 $25\text{MHz} \pm 1706\text{ppm}$ (公式變為 $1/(T1 \pm (1 + q + (1/2)) * Ts / (m * n / 2))$)。

而基於重置信號、參考時脈信號與待測時脈信號之相對關係，吾人可有兩種方式來實現該比較偵測器22。第一種方式，以暫存器-電晶體階層(RTL)的語法來描述該比較偵測器22，並使用邏輯合成工具來轉換成實際電路，此方法的優點是將此實際電路嵌入待測積體電路中，使得待測積體電路能自我偵測出錯誤。而為能提高所測得頻率誤差之精確度，吾人可將觀察該除頻後待測信號(TESTCLK)產生變化緣之個數增加，於本例中 $m=4$ ，亦可增加成 $m=5$ 、 6 、... 8 等，但在提升所測得頻率誤差之精確度之同時，亦

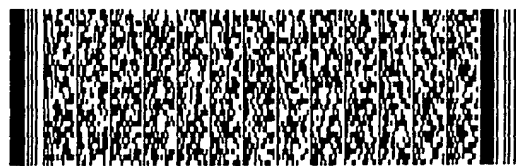
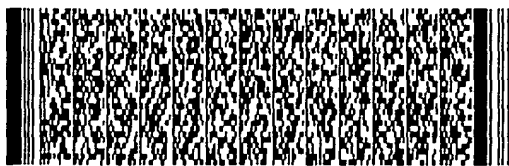


五、發明說明 (10)

相對增加硬體之複雜程度，而使成本亦隨之增加。

至於第二種方式，其係直接以測試機台來取代該比較偵測器22，此方式需事先準備正確的除頻後待測信號(TESTCLK)之測試向量(test vector)，而向量值係為每個偵測時間點上該除頻後待測信號(TESTCLK)之理想值。如此一來，吾人僅需將除頻器21輸出之實際除頻後待測信號(TESTCLK)送至測試機台，並將測試向量以參考時脈信號為動作基準而送至測試機台，由測試機台來比較除頻器21輸出之實際除頻後待測信號與理想值間之異同，進而達成頻率驗證之目的。

因此，本案除了可測出時脈信號源是否正常動作之外，更可有效驗證時脈信號源之頻率準確度是否合乎需求，進而改善習用手段之缺失，進而達成發展本案之主要目的，然本案發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

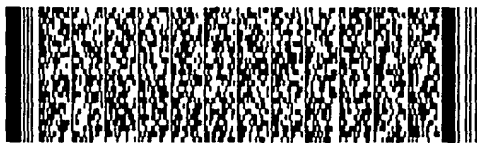


圖式簡單說明

第一圖：其係對時脈信號源執行測試驗證動作之習用測試裝置之方塊示意圖。

第二圖：其係本案對於時脈信號頻率驗證裝置所發展出之一較佳實施例方塊示意圖。

第三圖：其係對上述技術手段舉出一實例進行說明之相關信號波形示意圖。



六、申請專利範圍

1. 一種時脈信號頻率驗證方法，應用於一時脈信號源之證過程中，其方法包含下列步驟：

將該時脈信號源所輸出之一待測時脈信號輸入至一除頻器，該待測時脈信號具有一第一週期 T_1 ；

因應一重置信號之啟動，該除頻器開始因應該待測時脈信號之觸發而作動，進而輸出一雙準位之除頻後待測信號，該除頻後待測信號具有一第二週期 T_2 ，而 $T_2/n=T_1$ ；

因應該重置信號之啟動，每隔一預定時間 T_s 偵測該除頻後待測信號之信號準位；以及

當從第1個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後待測信號處於一第一準位，且於第 $p+1$ 個時間點上所偵測到之該除頻後待測信號之信號準位處於一第二準位時，判斷該時脈信號源為正常工作且得出該待測時脈信號之週期誤差範圍 T_e 。

2. 如申請專利範圍第1項所述之時脈信號頻率驗證方法，其中 $p=(T_2/(2T_s))$ ， $q=(T_1/T_s)$ ， $T_e=(q+(1/2))*T_s/(n/2)$ 。

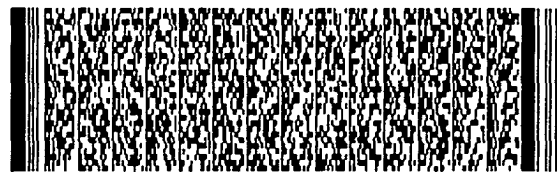
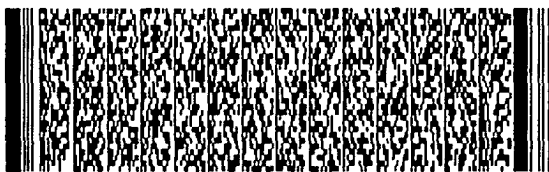
3. 如申請專利範圍第1項所述之時脈信號頻率驗證方法，其中更包含下列步驟：

當持續偵測第 $2p-q$ 個時間點與第 $2p+1$ 個時間點、第 $3p-q$ 個時間點與第 $3p+1$ 個時間點、…以及第 $mp-q$ 個時間點與第 $mp+1$ 個時間點上之該除頻後待測信號之信號準位，而該時脈信號源皆被判斷為正常工作時，該待測時脈信號之週期誤差範圍 $T_e=(q+(1/2))*T_s/(m*n/2)$ 。



六、申請專利範圍

4. 如申請專利範圍第3項所述之時脈信號頻率驗證方法，其中該預定時間 T_s 係由一參考時脈信號之上升緣所決定，而該重置信號之變化緣係與該參考時脈信號之下降緣對齊，至於該週期誤差範圍 $T_e = (q + (1/2)) * T_s / (m * n/2)$ 。
5. 如申請專利範圍第1項所述之時脈信號頻率驗證方法，其中當從第1個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後待測信號非皆處於該第一準位，或於第 $p+1$ 個時間點上所偵測到之該除頻後待測信號之信號準位非處於該第二準位時，則判斷該時脈信號源為非正常工作。
6. 一種時脈信號頻率驗證裝置，應用於驗證一時脈信號源之準確度，其係配合一參考時脈信號與重置信號產生源進行動作，參考時脈信號與重置信號產生源係產生一參考時脈信號以及一重置信號，且該參考時脈信號具有一預定週期 T_s ；而該驗證裝置包含：
- 一除頻器，電連接於該時脈信號源與該參考時脈信號與重置信號產生源，其係接收該時脈信號源所輸出之一待測時脈信號，並因應該重置信號之啟動，而開始因應該待測時脈信號之觸發而作動，進而輸出一雙準位之除頻後待測信號，其中該待測時脈信號具有一第一週期 T_1 ，該除頻後待測信號具有一第二週期 T_2 ，而 $T_2/n = T_1$ ；以及
- 一比較偵測器，電連接於該除頻器與該參考時脈信號與重置信號產生源，其係因應該重置信號之啟動與該參考時脈信號之觸發，每隔該預定週期 T_s 便偵測該除頻後待測信號之信號準位，而當從第1個時間點至第 $p-q$ 個時間點上



六、申請專利範圍

所偵測到之該除頻後待測信號處於一第一準位，且於第 p 個時間點上所偵測到之該除頻後待測信號之信號準位處於一第二準位時，輸出一工作正常信號並可得出該待測時脈信號之週期誤差範圍 T_e 。

7. 如申請專利範圍第6項所述之時脈信號頻率驗證裝置，其中 $p=(T_2/(2T_s))$ ， $q=(T_1/T_s)$ ， $T_e=(q+(1/2))*T_s/(n/2)$ 。

8. 如申請專利範圍第7項所述之時脈信號頻率驗證裝置，其中當偵測第 $2p-q$ 個時間點與第 $2p+1$ 個時間點、第 $3p-q$ 個時間點與第 $3p+1$ 個時間點、…以及第 $mp-q$ 個時間點與第 $mp+1$ 個時間點上之該除頻後待測信號之信號準位時，該比較偵測器持續輸出一工作正常信號時，代表該待測時脈信號之週期誤差範圍 $T_e=(q+(1/2))*T_s/(m*n/2)$ 。

9. 如申請專利範圍第8項所述之時脈信號頻率驗證裝置，其中該偵測時間點係為該參考時脈信號之上升緣，而該重置信號之變化緣係與該參考時脈信號之下降緣對齊，至於該週期誤差範圍 $T_e=(q+(1/2))*T_s/(m*n/2)$ 。

10. 如申請專利範圍第6項所述之時脈信號頻率驗證裝置，其中該除頻器、該比較偵測器以及該時脈信號源係整合於同一晶片上。

11. 如申請專利範圍第6項所述之時脈信號頻率驗證裝置，其中當從第1個時間點至第 $p-q$ 個時間點上所偵測到之該除頻後待測信號非皆處於該第一準位，或於第 $p+1$ 個時間點上所偵測到之該除頻後待測信號之信號準位非處於該第二



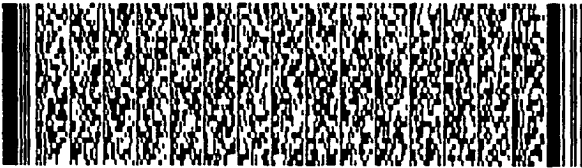
六、申請專利範圍

準位時，輸出一錯誤信號。

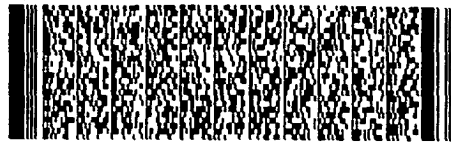
12. 如申請專利範圍第11項所述之時脈信號頻率驗證裝置，其中當輸出該錯誤信號，係代表該待測時脈信號之週期誤差範圍 T_e 必大於 $(1/2)*T_s/(n/2)$ 。



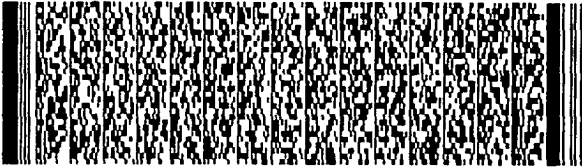
第 1/21 頁



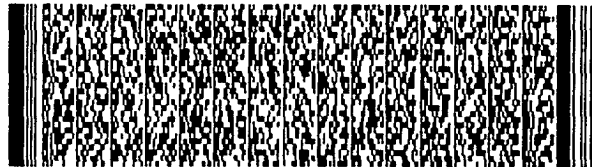
第 2/21 頁



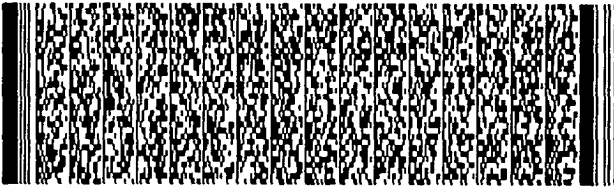
第 3/21 頁



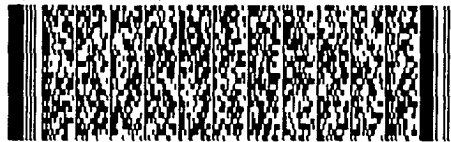
第 3/21 頁



第 4/21 頁



第 5/21 頁



第 7/21 頁



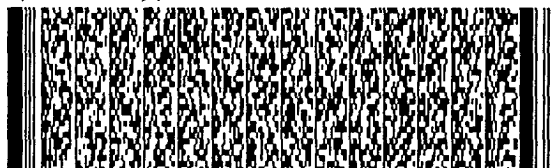
第 7/21 頁



第 8/21 頁



第 8/21 頁



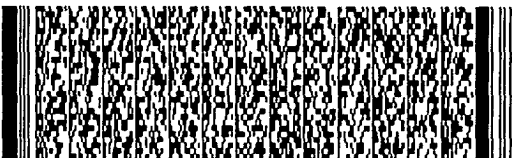
第 9/21 頁



第 9/21 頁



第 10/21 頁



第 10/21 頁



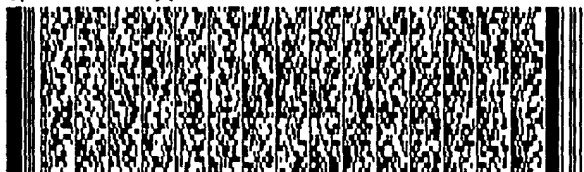
第 11/21 頁



第 11/21 頁



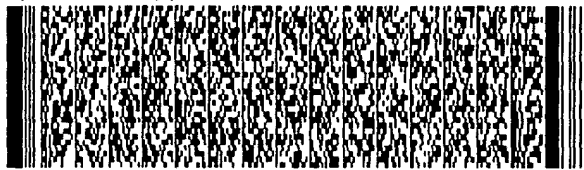
第 12/21 頁



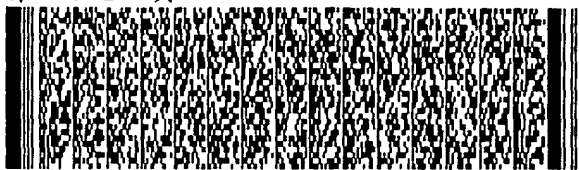
第 12/21 頁



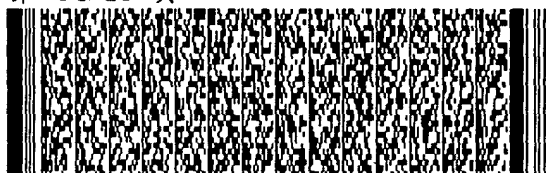
第 13/21 頁



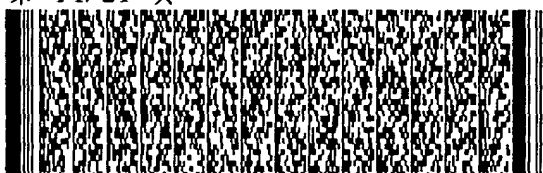
第 13/21 頁



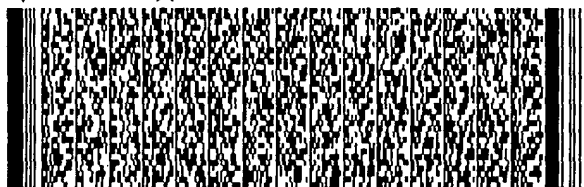
第 14/21 頁



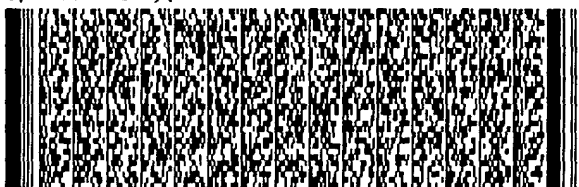
第 14/21 頁



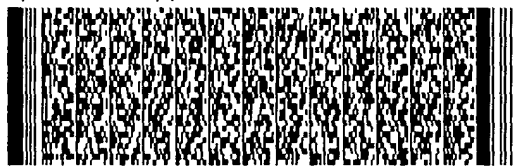
第 15/21 頁



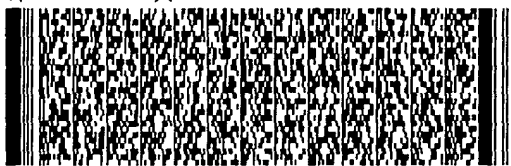
第 15/21 頁



第 16/21 頁



第 16/21 頁



第 17/21 頁



第 18/21 頁



第 18/21 頁



第 19/21 頁



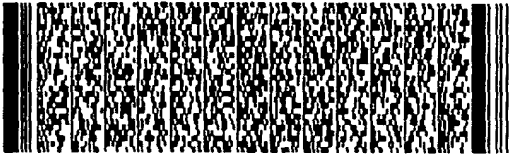
第 19/21 頁



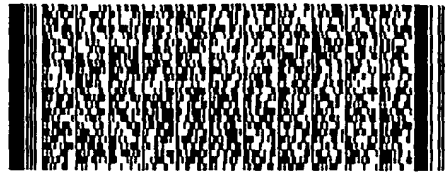
第 20/21 頁

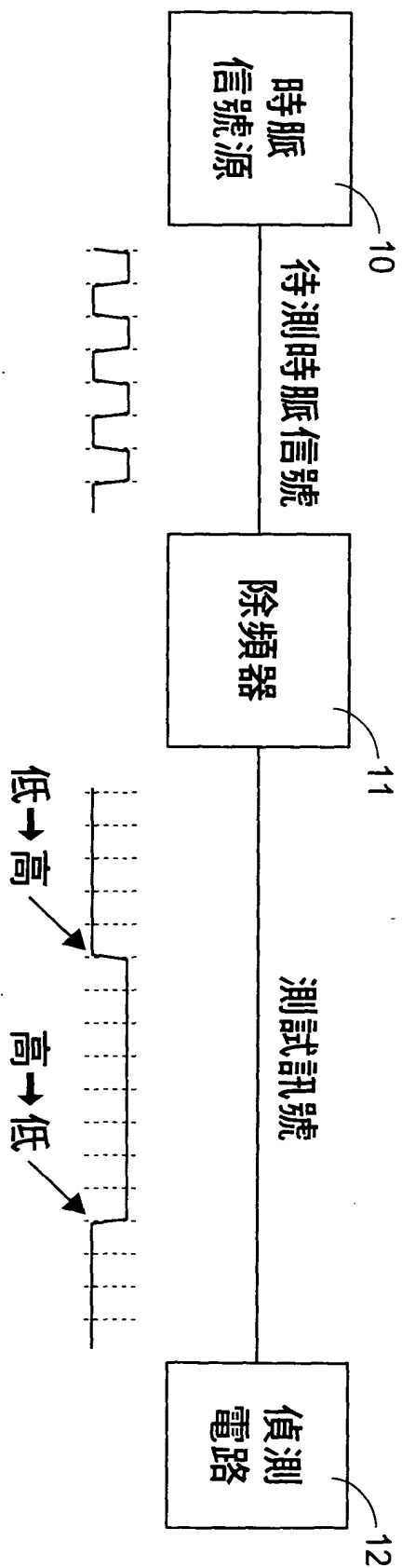


第 20/21 頁

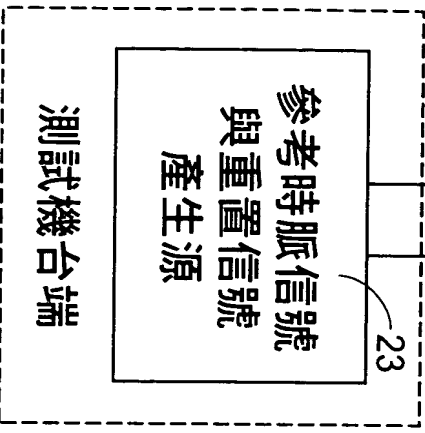
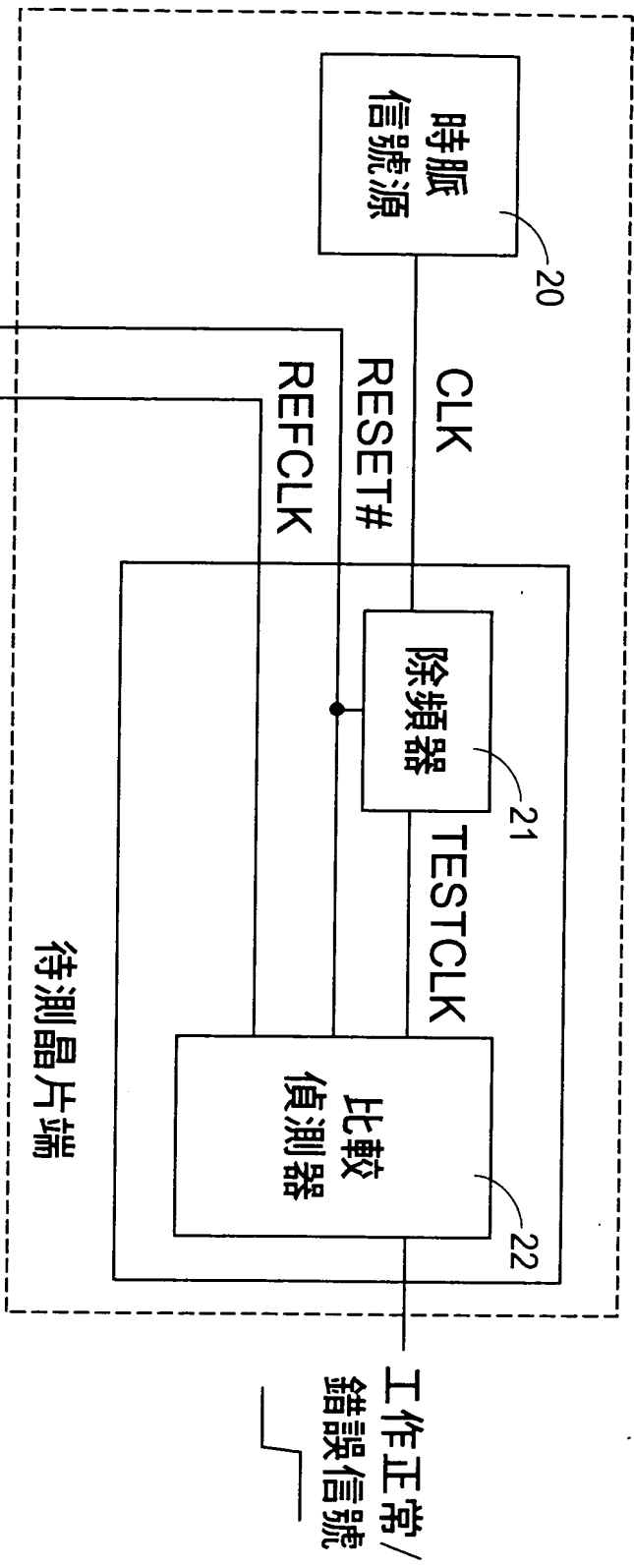


第 21/21 頁





第一圖

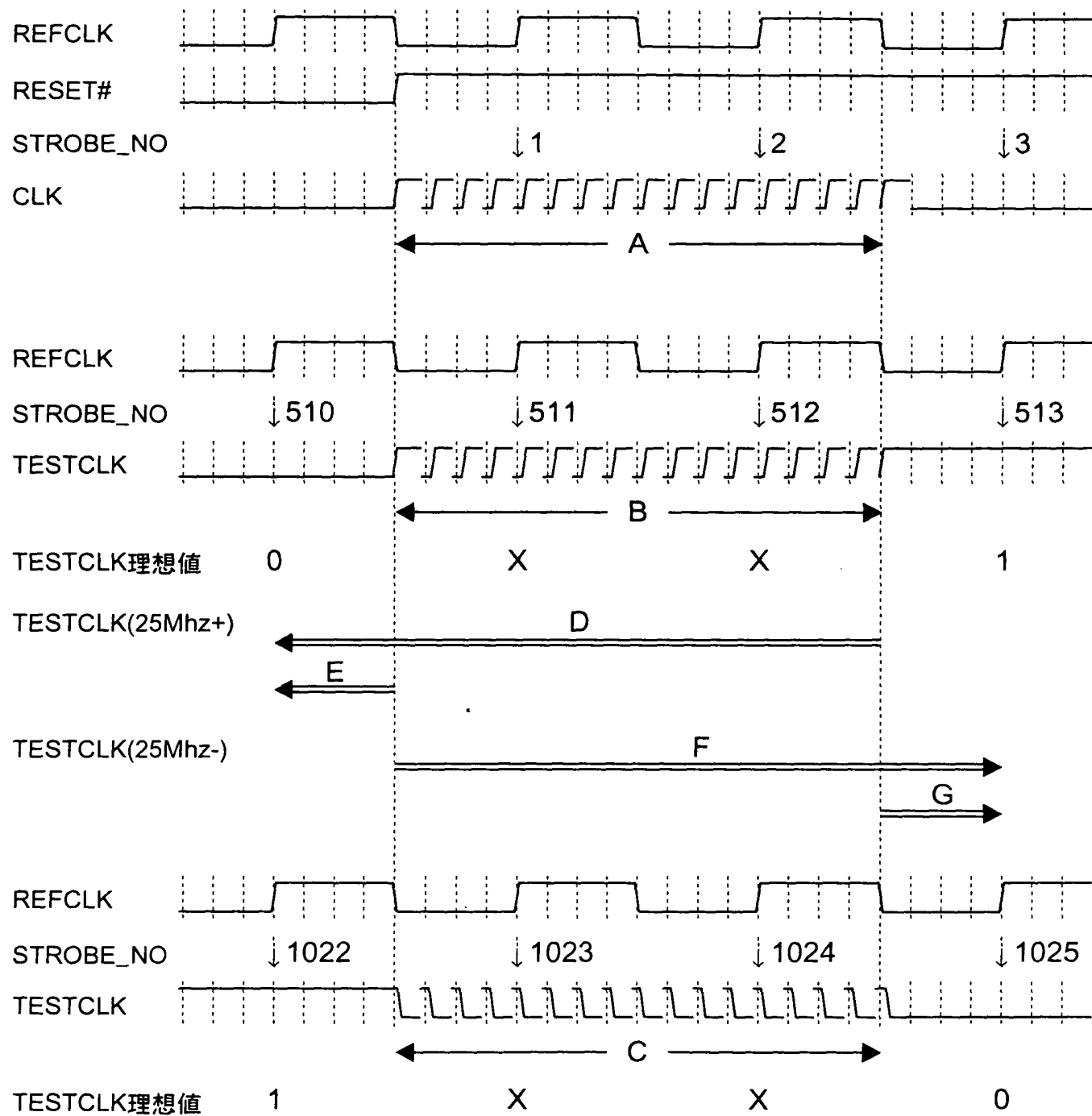


測試機台端

第二圖

圖式

圖式



第三圖